

Введение

IP-ядро «ADC 2A250 Controller» предназначено для реализации контроллера АЦП ADS62P4X, позволяющего калибровать АЦП и формировать два потока данных от АЦП по шинам AXI-Stream.

Возможности

- Интерфейсы шин данных: AXI-Stream
- Параметры шины данных: 2 шины по 32 бита, до 125 МГц
- Интерфейс управления: AXI4
- Калибровка АЦП

Данные IP-ядра

Особенности ядра	
Семейства поддерживаемых FPGA	Xilinx Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-721/726
Поддерживаемые пользовательские интерфейсы	AXI4, AXI-Stream
Ресурсы	См. таблицу 1
Обеспечение ядра	
Файлы проекта	VHDL
Разработан для среды	Xilinx Vivado 2014.4
Поддержка программных драйверов	Драйвер Xilinx SDK для MicroBlaze
Поддержка	
Обеспечивается SET www.setdsp.ru/support	

Обзор

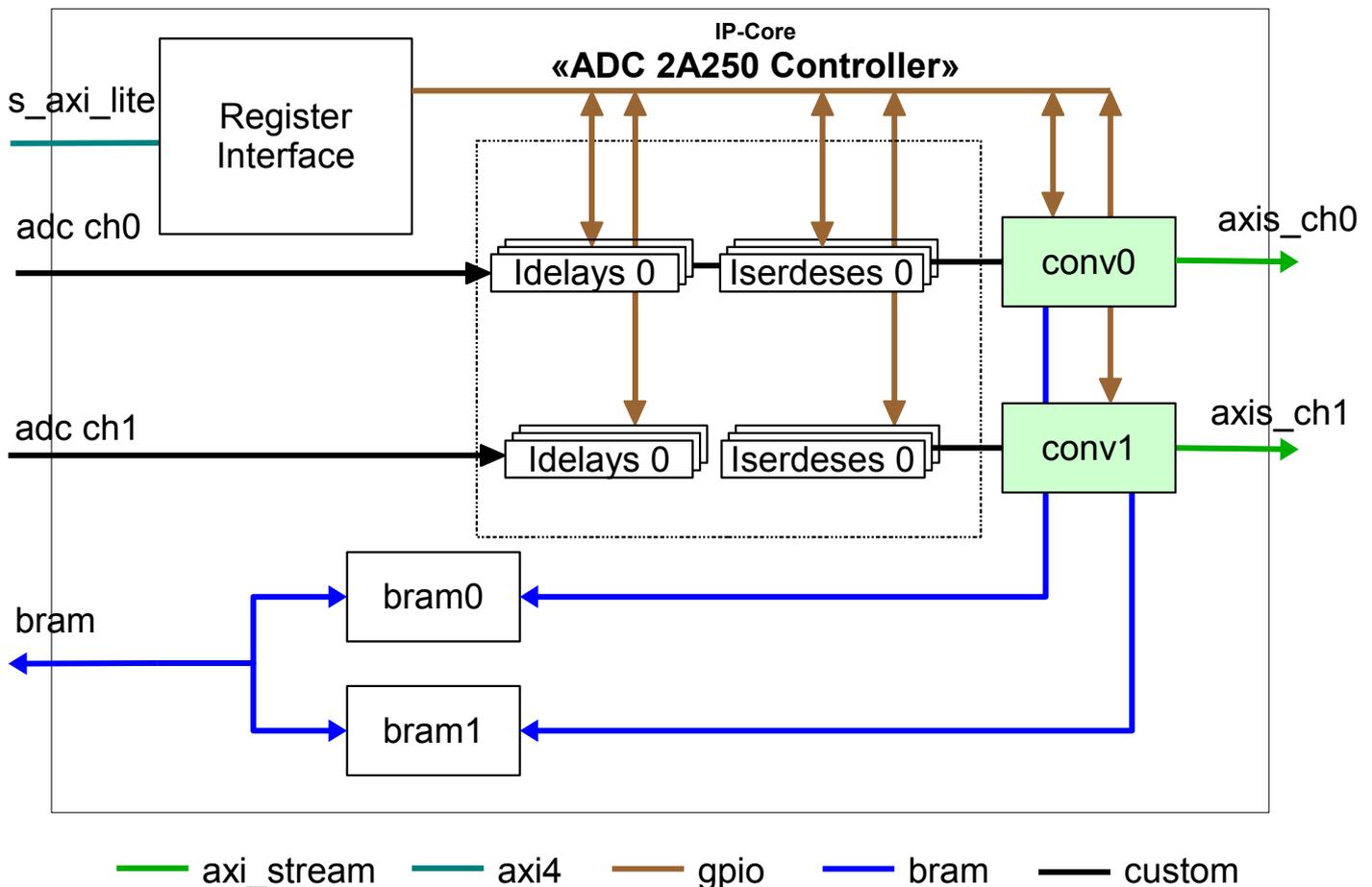
Структурная схема IP-ядра «ADC 2A250 контроллер» представлена на изображенной ниже функциональной блок-схеме. В качестве управляющего интерфейса выступает AXI4-lite (порт «s_axi_lite»). Доступ к локальной памяти bram[0-1] организуется через стандартный интерфейс «bram_rtl» (порт bram), к которому подключается «AXI BRAM Controller», разработанный фирмой Xilinx. Доступ к АЦП (порты adc_ch[0-1]) обеспечивается по интерфейсу «adc2a250_if». Поток данных от АЦП выдается по двум шинам AXI-Stream «axis_ch0» и «axis_ch1».

Зеленым цветом на блок-схеме выделены функциональные блоки, разработанные программистами ЗАО «Скан Инжиниринг Телеком».

Через интерфейс «S_AXI_LITE» и далее по интерфейсу gpio производятся следующие операции:

- подстройка задержки в блоке «ldelays» каждой из линий данных от АЦП (при калибровке АЦП);
- передача команд начала сохранения данных в локальную память BRAM;
- передача команд начала и окончания потоковой передачи по шинам AXI-Stream ch0 и ch1;
- получение статусной информации.

Функциональная блок-схема



Основные особенности

IP-ядро позволяет получать данные от АЦП в двух режимах:

- срезы фиксированного размера до 32000 отсчетов на канал в локальную память bram;
- непрерывный поток данных по каждой из 2-х шин AXI-Stream.

Поддерживается работа одновременно в обоих режимах.

Во втором режиме по каждой из шин AXI-Stream формируется поток данных до 4 Гбит/с. Данные поступают с частотой 1/2 частоты дискретизации АЦП, по 2 отсчета за такт, размещенных в 32 битах шины.

Оценочные значения необходимых ресурсов FPGA Virtex-7 для реализации тестового проекта приведены в таблице 1.

Таблица 1: Требуемые ресурсы для IP-ядра «ADC 2A250 контроллер»

Slices	FFs	LUTs	BRAMs	BUFR
277	485	435	29	1

Ограничения

Данные по интерфейсам AXI-Stream выдаются на внутреннем сигнале тактирования от АЦП, при этом подразумевается постоянная готовность Slave-устройства к приёму данных.

Лицензирование и информация для заказа

По вопросам приобретения и использования IP-ядра «ADC 2A250 контроллер» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу sales@setdsp.ru.

Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru
Техническая поддержка: support@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015
Документ DS-IP-ADC-2A250-CONT 1.0 (27 мая 2015 г.)