

## Введение

Инфраструктура IP-ядер «Поддержка PCI Express» (Infrastructure IP-Cores «Support PCI Express») является структурным решением для ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», предназначенным для обеспечения процесса обмена потоками данных в пределах аппаратной платформы для FPGA микросхемы, между устройствами, подключенными к AXI шине и шиной PCI Express. Данное решение обеспечивает обмен данными через шину PCI Express в режиме DMA, а также позволяет выступать FPGA модулю на шине PCI Express в качестве устройства, типа «Endpoint».

Инфраструктура IP-ядер «Поддержка PCI Express» предлагает пользователям FPGA модулей в качестве строительного блока, предназначенного для построения собственных аппаратных платформ, реализующих обмен потоками данных для структур в FPGA микросхемах через шину PCI Express.

## Возможности

- Поддержка одного SDRAM DDR блока памяти (в зависимости от марки FPGA модуля 128/256/512 Мбайт)
- Поддержка интегрированного в FPGA микросхему аппаратного блока PCIe контроллера для Virtex-6 и Virtex-7 (серии XT и HT, за исключением XC7VX485T)
- PCIe 1.0 и 2.0 x1, x2, x4
- PCIe режим «Endpoint»
- Поддержка прерываний Multiple Vector MSI
- Поддержка 2-х входящих PCIe 32-х битных BAR (Base Address Register) (BAR-0: 512 Кбайт и BAR-1: 64 Мбайт)
- Поддержка до 32-х исходящих регионов памяти в PCIe с возможностью динамической смены трансляции адресов и размеров окон
- Поддержка пакетов «Hot Reset»
- Подключение к AXI коммутаторам шиной данных разрядностью 64 бита для Virtex-6 или 128 бит для Virtex-7
- Использование CDMA в стандартном режиме (без Scatter Gather)
- 32 сервисных регистра по 32 бита с доступом со стороны PCI Express шины через BAR-0

## Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4
Ресурсы	См. таблицу 1
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2, ISE 14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотек, написанных на языке «Си» к IP-ядрам. Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

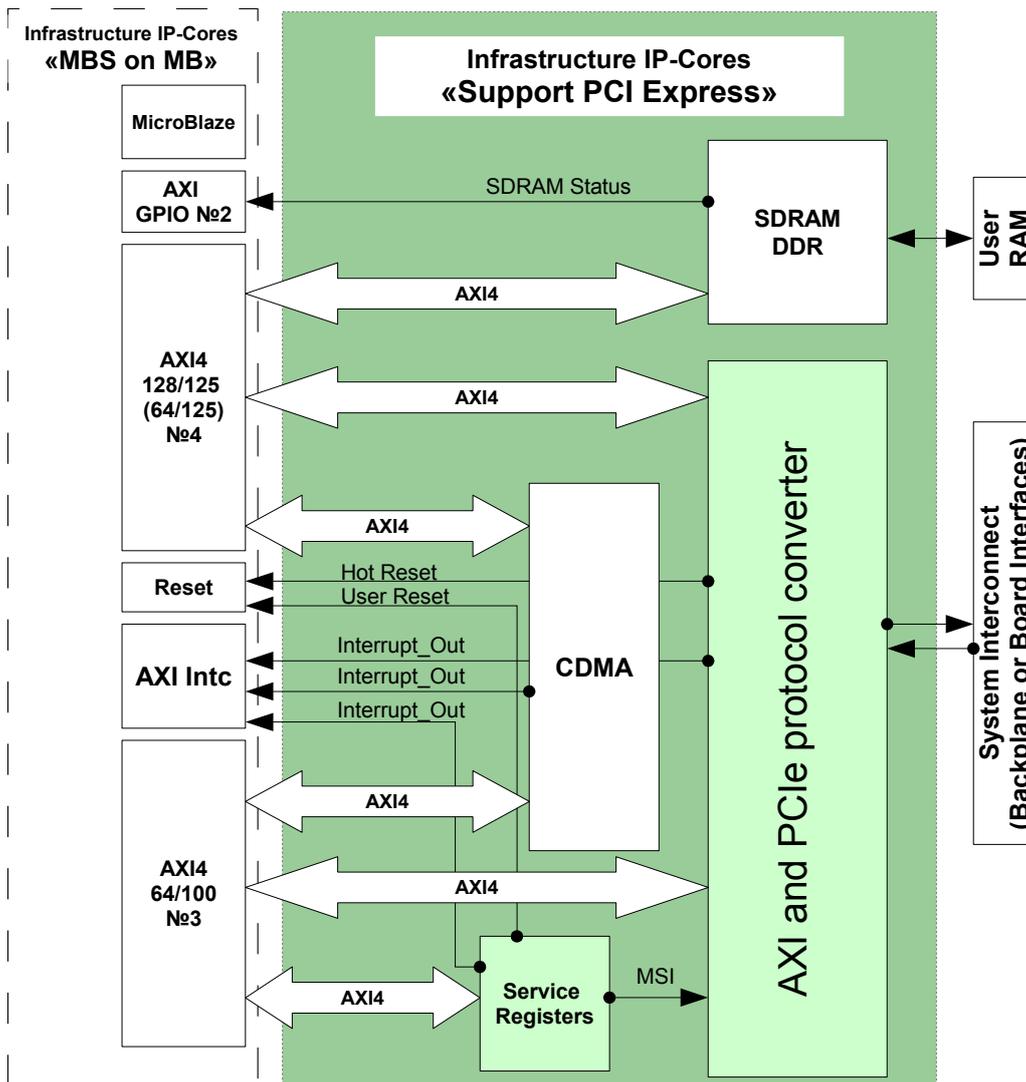
Структурная схема инфраструктуры IP-ядер «Поддержка PCI Express» представлена на изображенной ниже функциональной блок-схеме. В своей реализации эта схема охватывает работу с установленной на FPGA модуль памятью SDRAM DDR (User RAM), подключением к шине PCI Express, структурами из AXI коммутаторов и отдельными группами устройств, взаимодействующими с инфраструктурой на уровне сигнальных цепей.

Включенные в состав инфраструктуры «Поддержка PCI Express» IP-ядра, позволяет получить необходимый функционал, предназначенный для обеспечения процесса обмена потоками данных между устройствами, подключенными к AXI шине и шиной PCI Express. В качестве структуры, к которой можно подключить инфраструктуру «Поддержка PCI Express», можно рассматривать готовую инфраструктуру «Microprocessor Based System on MicroBlaze», представленную в документе [1] или самостоятельно организовывать структуру для подключения, содержащую в себе AXI коммутатор или группу коммутаторов.

В качестве основного устройства, предназначенного для переноса потоков данных между аппаратной платформой в FPGA микросхеме и шиной PCI Express выступает IP-ядро контроллера CDMA. Контроллер CDMA позволяет переносить данные в режиме DMA между шиной PCI Express и памятью SDRAM DDR (User RAM). Стыковку шины AXI с шиной PCI Express обеспечивает IP-ядро поддержки интегрированного в микросхему FPGA блока аппаратного контроллера PCIe, обозначенное на блок-схеме как «AXI и PCIe protocol converter». Для облегчения процесса формирования прерываний MSI от устройства типа «Endpoint» к устройству типа «Root Complex» на шине PCI Express, а также для формирования сигналов фиксации прямого доступа «Root Complex» к некоторым областям памяти в виде BAR-ов «Endpoint», используется IP-ядро, обозначенное на блок-схеме как «Service Registers».

Более подробно с описанием инфраструктуры «Поддержка PCI Express» можно ознакомиться в документе [2].

## Функциональная блок-схема



## Основные особенности

Инфраструктура IP-ядер «Поддержка PCI Express» входит в состав предварительно подготовленных аппаратных платформ для ряда FPGA модулей или может использоваться самостоятельно в составе аппаратных платформ пользователя. Примером предварительно подготовленной аппаратной платформы может выступать «Аппаратная платформа для FPGA модулей „Core-0“» (см. документ [3]).

В зависимости от марки FPGA модуля и потребности пользователя в количестве исходящих регионов памяти для доступа к адресному пространству PCI Express, в качестве IP-ядра поддержки блока аппаратного контроллера PCIe может быть использовано IP-ядро «Конвертер протоколов AXI и PCI Express» (см. документ [4]) производства ЗАО «Скан Инжиниринг Телеком» для FPGA микросхем семейства Virtex-7 или «LogiCORE IP AXI Bridge for PCI Express» производства Xilinx для FPGA микросхем семейства Virtex-6 и «AXI Bridge for PCI Express Gen3 Subsystem» для Virtex-7. Количество исходящих регионов памяти более 6 штук (от 6 до 32) возможно только при использовании IP-ядра «Конвертер протоколов AXI и PCI Express».

Использование возможностей IP-ядра «Сервисные регистры» позволяет организовать в пределах адресного пространства PCI Express механизм межсистемного взаимодействия между устройством «Root Complex» и множеством устройств «Endpoint» на уровне обмена сигналами прерываний. Более подробно об этом механизме можно узнать из документа [5].

## Ссылки

1. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Техническое описание. [DS-IP-IS-MBS](#) .
2. Инфраструктура IP-ядер «Поддержка PCI Express». Руководство пользователя. [UG-IP-IS-PCI-E](#) .
3. Аппаратная платформа для FPGA модулей Core-0. Руководство пользователя. [UG-FPGA-00-CORE-0](#) .
4. IP-ядро «Конвертер потоков AXI и PCI Express». Техническое описание. [DS-IP-PCI-E](#) .
5. IP-ядро «Сервисные регистры». Техническое описание. [DS-IP-SERV-REGS](#) .

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-IS-PCI-E 1.0 (6 октября 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015

Информация в данном документе может быть изменена ЗАО «Скан Инжиниринг Телеком» без предварительного уведомления.

Таблица 1: Требуемые ресурсы для инфраструктуры IP-ядер «Поддержка PCI Express»

Семейство FPGA Xilinx	Slices	Registers	LUTs	Block RAM
Virtex-6	11499	25445	26413	25
Virtex-7	13978	28658	38396	24

## Ограничения

Блок аппаратного PCIe контроллера FPGA микросхемы должен работать только в режиме «Endpoint».

Для корректной работы CDMA, адреса расположения буферов источника данных, приемника, а также размер пересылаемых данных должны быть кратны 8-и или 16-и байтам (в зависимости от разрядности шины AXI 64/128 бит).

Максимальный размер пересылаемого буфера данных для CDMA 8 Мбайт.

## Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Поддержка PCIe» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).