

## Введение

Инфраструктура IP-ядер «Поддержка субмодуля SFM-1A5000» (Infrastructure IP-Cores «Support SFM-1A5000») является структурным решением для ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», предназначенным для обеспечения поддержки циклов аналогово-цифрового преобразования сигналов на FMC модулях SFM-1A5000.

При аналогово-цифровом преобразовании, аналоговые сигналы, поступающих от их источников на входы каналов АЦП FMC модуля, преобразуются в отдельные цифровые потоки данных микросхемой АЦП, типа EV10AQ190A производства e2v Semiconductors (e2v), и переводятся в формат шины AXI4-Stream. В последствии, эти потоки преобразуются в формат шины AXI4 и становится возможным их перемещение в пределах инфраструктуры AXI4 Memory Mapped коммутаторов в режиме DMA.

В рамках инфраструктуры IP-ядер «Поддержка субмодуля SFM-1A5000» у пользователя существует возможность самостоятельно вносить изменения в структуру, с целью интеграции собственных блоков обработки цифровых потоков данных, ориентированных на работу с потоками AXI4-Stream. Возможность вносить изменения позволяет пользователю в максимально сжатые сроки разрабатывать собственные функциональные решения, связанные с использованием FMC модуля SFM-1A5000, и обеспечить максимальную пропускную способность, масштабируемость и надежность своего решения.

Более подробно с описанием инфраструктуры «Поддержка субмодуля SFM-1A5000» можно ознакомиться в документе [1].

## Возможности

- Поддержка аппаратных возможностей FMC модуля SFM-1A5000
- Обеспечение независимого одновременного захвата окна данных любого из каналов АЦП размером, определяемым размерностью буфера FIFO AXI4-Stream инфраструктуры
- Использование подключения к интерфейсу AXI4 позволяет передавать данные в режиме DMA в блоки памяти SDRAM DDR FPGA модуля, в окна памяти, связанные с контроллером PCI Express, в буфера памяти контроллеров Serial RapidIO или Ethernet, а также в любые Slave устройства шины AXI4
- Формирование потока данных через AXI4 интерфейс из захватываемых окон данных любого из каналов АЦП
- Максимальная гибкость в изменении структуры проекта, с целью добавления пользовательских блоков (IP-ядер) цифровой обработки потоков данных от каналов АЦП, за счёт использования для связи между IP-ядрами инфраструктуры на базе AXI4-Stream
- Управление и контроль за состоянием FMC модуля SFM-1A5000 посредством вышестоящей микропроцессорной системы, с возможностью использования механизма прерываний

## Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4, AXI4-Stream
Производительность	При максимальной частоте выборки АЦП возможен только захват окна данных. Требуется дополнительная обработка сигнала с целью снижения требований к полосе пропускания через интерфейс AXI4
Ресурсы	См. таблицу 1
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2, ISE 14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотек, написанных на языке «Си» к IP-ядрам. Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема инфраструктуры IP-ядер «Поддержка субмодуля SFM-1A5000» представлена на изображенной ниже функциональной блок-схеме. В своей реализации эта схема охватывает работу со следующими установленными на FMC модуль SFM-1A5000 устройствами: микросхемой АЦП EV10AQ190A (e2v), CPLD XC2C64A (Xilinx), PLL AD9517-3 (Analog Devices) и мультиплексором ADG918 (Analog Devices), структурами из AXI коммутаторов и отдельными группами устройств, взаимодействующими с инфраструктурой «Поддержка субмодуля SFM-4A250» на уровне сигнальных цепей.

В качестве структуры, к которой можно подключить инфраструктуру IP-ядер «Поддержка субмодуля SFM-1A5000», можно рассматривать готовую инфраструктуру «Microprocessor Based System on MicroBlaze», представленную в документе [2] или самостоятельно организовывать структуру для подключения, содержащую в себе AXI4 коммутатор или группу коммутаторов.

Поток данных от АЦП в формате DDR LVDS поступает в IP-ядро «ADC контроллер» (IP-Core «ADC Controller», см. документ [3]) для выравнивания временных задержек на физических цепях и предварительного снижения тактовой частоты следования данных. С выхода «ADC контроллер» данные в формате AXI4-Stream с частотой «ADC\_Clk» поступают на вход IP-ядра «AXI4-Stream Data Width Converter» для увеличения разрядности с 16-и (32 или 64) байт до 32-х (64 или 128) байт с целью дальнейшего понижения

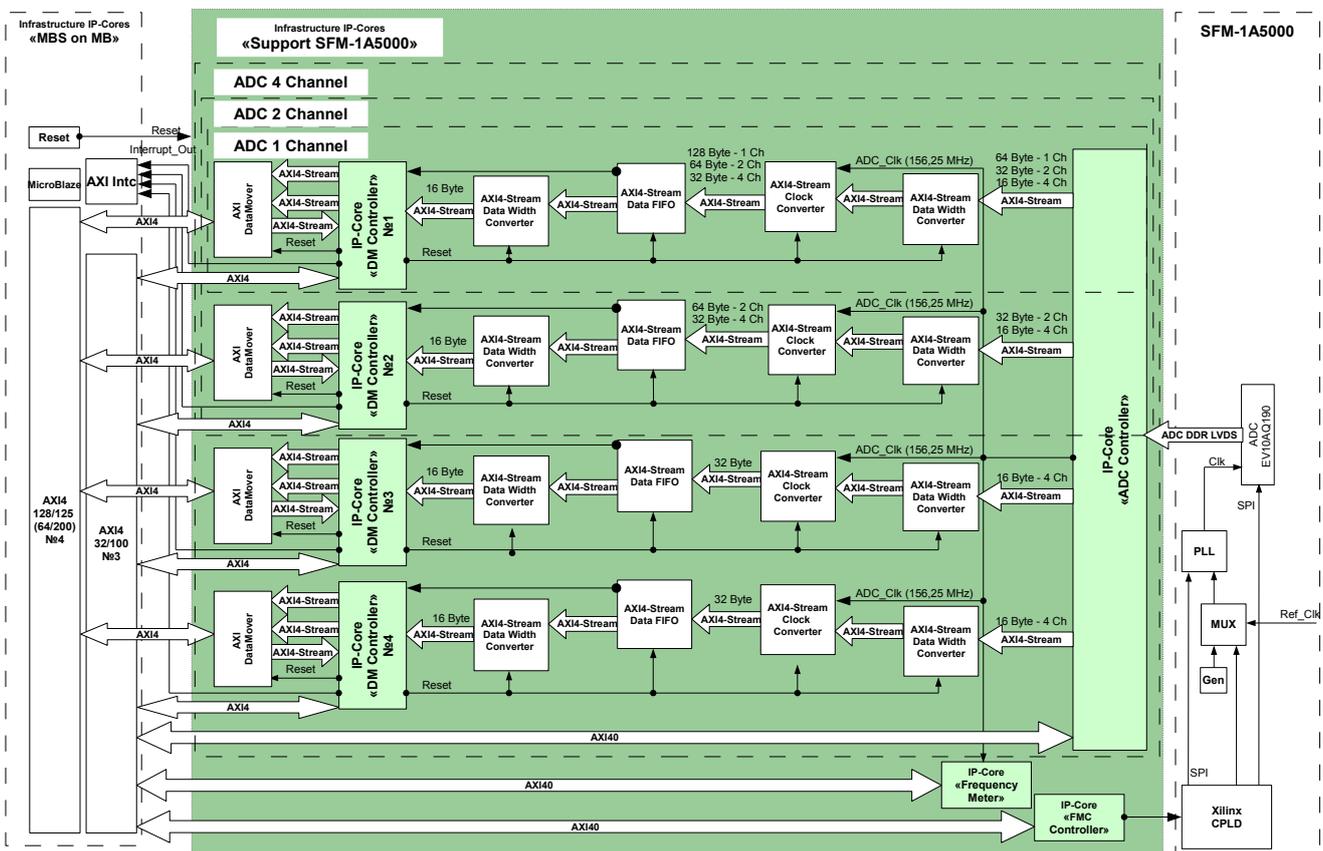
частоты работы тракта до коммутатора AXI4 с 157,25 МГц до 125 МГц при помощи IP-ядра «AXI4-Stream Clock Converter». Выровненные по скорости данные поступают на вход буфера IP-ядра «AXI4-Stream Data FIFO», основное назначение которого — захват данных АЦП по команде вышестоящей системы. В связи с тем, что разрядность AXI4-Stream больше чем AXI4 Memory Mapped, её понижают с помощью IP-ядра «AXI4-Stream Data Width Converter» до 128 (64) бит.

IP-ядро «DM контроллер» (IP-Core «DM Controller», см. документ [4]) по командам вышестоящей системы управляет IP-ядром «AXI DataMover». IP-ядро «AXI DataMover» осуществляет конвертацию данных из формата AXI4-Stream в формат AXI4 Memory Mapped и подключается в режиме Master к AXI4 коммутатору для записи выборки данных АЦП в Slave устройства. В случае отсутствия необходимости передавать данные от всех 4-х каналов АЦП одновременно, возможно уменьшить количество групп «DM контроллер» и «AXI DataMover» с 4-х до одной.

IP-ядра «FMC контроллер» (IP-Core «FMC Controller», см. документ [5]) и «Частотомер» (IP-Core «Frequency Meter», см. документ [6]) служат для управления компонентами FMC модуля и контроля абсолютных значений частот, посредством их измерения.

Интерфейс подключения инфраструктуры IP-ядер «Поддержка SFM-1A5000» соответствует AMBA (Advanced Microcontroller Bus Architecture) совместимым AXI4 спецификациям.

## Функциональная блок-схема



## Основные особенности

Инфраструктура IP-ядер «Поддержка субмодуля SFM-1A5000» входит в состав предварительно подготовленных аппаратных платформ для ряда FPGA модулей или может использоваться самостоятельно в составе аппаратных платформ пользователя. Примером предварительно подготовленной аппаратной платформы может выступить «Аппаратная платформа для FPGA модулей „Core-2“» (см. документ [7]).

Инфраструктура IP-ядер «Поддержка субмодуля SFM-1A5000» позволяет пользователю максимально быстро адаптировать свои блоки цифровой обработки сигналов, с целью совместной их работы с АЦП модуля SFM-1A5000, а также обеспечить гибкость реконфигурации структуры аппаратной платформы, при изменении требований к классу производительности/ресурсам используемой FPGA микросхемы. Такая гибкость и адаптация обеспечивается за счёт следующих особенностей:

- для передачи цифровых потоков данных между блоками их обработки используется только AXI4-Stream интерфейсы в минимальной конфигурации;
- максимальная параметризация всех IP-ядер инфраструктуры с целью уменьшения используемых ресурсов FPGA микросхемы;
- все необходимые настройки проекта реализации инфраструктуры (физические выводы FPGA и временные констрейны) предварительно подготовлены с учетом специфики исполнения отдельных FPGA модулей и модуля SFM-1A5000;
- инфраструктура спроектирована с учетом обеспечения максимальной производительности, которую можно получить при использовании коммутаторов AXI4;
- инфраструктура, построенная на базе IP-ядер с интерфейсами AXI4-Stream, включает в себя все необходимые элементы для стандартных преобразований цифровых потоков данных, библиотека которых постоянно наращивается компаниями Xilinx и разработчиками ЗАО «Скан Инжиниринг Телеком».

Таблица 1: Требуемые ресурсы для инфраструктуры IP-ядер «Поддержка субмодуля SFM-1A5000» при размерах буферов FIFO в 64 Кбайт

Семейство FPGA Xilinx	Slices	Registers	LUTs	Block RAM
Virtex-6 (AXI4 64 бита/200 МГц)	3573	11200	5758	54
Virtex-7 (AXI4 128 бит/125 МГц)	3543	11018	5744	56

## Ограничения

Пересылка данных в Slave устройство AXI4 Memory Mapped возможно только размером «BURST», кратным ширине шины AXI4.

Передача данных в Slave устройство AXI4 Memory Mapped в режиме непрерывного потока данных при максимальной частоте выборки АЦП невозможно без предварительной обработки сигнала с целью снижения скорости потока.

## Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Поддержка субмодуля SFM-1A5000» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. Инфраструктура IP-ядер «Поддержка субмодуля SFM-1A5000». Руководство пользователя. [UG-IP-IS-SFM-1A5000](#) .
2. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Техническое описание. [DS-IP-IS-MBS](#) .
3. IP-ядро «ADC контроллер». Техническое описание. [DS-IP-ADC-CONT](#) .
4. IP-ядро «DM контроллер». Техническое описание. [DS-IP-DM-CONT](#) .
5. IP-ядро «FMC контроллер». Техническое описание. [DS-IP-FMC-CONT](#) .
6. IP-ядро «Частотомер». Техническое описание. [DS-IP-FREQ-MET](#) .
7. Аппаратная платформа для FPGA модулей Core-2. Руководство пользователя. [UG-FPGA-00-CORE-2](#) .

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-IS-SFM-1A5000 1.0 (6 октября 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015