

## Введение

Инфраструктура IP-ядер «Поддержка субмодуля SFM-4A250» (Infrastructure IP-Cores «Support SFM-4A250») является структурным решением для ряда FPGA модулей производства ЗАО «Скан Инжиниринг Телеком», предназначенным для обеспечения поддержки процесса аналогово-цифрового преобразования сигналов на FMC модуля SFM-4A250.

В процессе аналогово-цифрового преобразования, аналоговые сигналы, поступающие от их источников на входы каналов АЦП FMC модуля, преобразуются в отдельные цифровые потоки данных микросхемами АЦП ADS62P49 производства Texas Instruments (TI) и переводятся в формат шины AXI4-Stream. Впоследствии, эти потоки преобразуются в формат шины AXI4 и становится возможным их перемещение в пределах инфраструктуры AXI4 Memory Mapped коммутаторов в режиме DMA.

В рамках инфраструктуры IP-ядер «Поддержка субмодуля SFM-4A250» у пользователя существует возможность самостоятельно вносить изменения в структуру, с целью интеграции собственных блоков обработки цифровых потоков данных, ориентированных на работу с потоками AXI4-Stream. Возможность вносить изменения позволяют пользователю в максимально сжатые сроки разрабатывать собственные функциональные решения, связанные с использованием FMC модуля SFM-4A250, и обеспечить максимальную пропускную способность, масштабируемость и надежность своего решения.

Более подробно с описанием инфраструктуры «Поддержка субмодуля SFM-4A250» можно ознакомиться в документе [1].

## Возможности

- Поддержка аппаратных возможностей FMC модуля SFM-4A250
- Обеспечение пропускной способности для всех 4-х каналов АЦП одновременно
- Использование подключения к интерфейсу AXI4 позволяет передавать данные в режиме DMA в блоки памяти SDRAM DDR модуля FPGA, в окна памяти, связанные с контроллером PCI Express, в буфера памяти контроллеров Serial RapidIO или Ethernet, а так же в любые Slave устройства шины AXI4
- Максимальная гибкость в изменении структуры проекта, с целью добавления пользовательских блоков (IP-ядер) цифровой обработки потоков данных от каналов АЦП, за счёт использования для связи между IP-ядрами инфраструктуры на базе AXI4-Stream
- Управление и контроль за состоянием FMC модуля SFM-4A250 посредством вышестоящей микропроцессорной системы, с возможностью использования механизма прерываний

## Данные инфраструктуры IP-ядер

Особенности инфраструктуры IP-ядер	
Семейства поддерживаемых FPGA	Xilinx Virtex-6, Virtex-7
Поддерживаемые модули ЗАО «Скан Инжиниринг Телеком»	SVP-713/723/726 SAMC-713/715/717
Поддерживаемые пользовательские интерфейсы	AXI4, AXI4-Stream
Производительность	См. таблицу 1
Ресурсы	См. таблицу 2
Обеспечение инфраструктуры IP-ядер	
Файлы проекта	VHDL, Verilog
Пример проекта	Xilinx Vivado 2014.2, ISE 14.6
Тестирование	VHDL, Verilog
Файлы настройки	XDC и UCF
Поддержка программных драйверов	Осуществляется на уровне библиотек, написанных на языке «Си» к IP-ядрам. Компиляции в Xilinx SDK для микропроцессора MicroBlaze.
Поддержка	
Обеспечивается SET <a href="http://www.setdsp.ru/support">www.setdsp.ru/support</a>	

## Обзор

Структурная схема инфраструктуры IP-ядер «Поддержка субмодуля SFM-4A250» представлена на изображенной ниже функциональной блок-схеме. В своей реализации эта схема охватывает работу с установленными на FMC модуль SFM-4A250 микросхемами АЦП ADS62P49 производства Texas Instruments (TI), делителем и распределителем частоты LMK01010 (National Semiconductor) и синтезатором SI570 (Silicon Labs), структурами из AXI коммутаторов и отдельными группами устройств, взаимодействующими с инфраструктурой «Поддержка субмодуля SFM-4A250» на уровне сигнальных цепей.

В качестве структуры, к которой можно подключить инфраструктуру IP-ядер «Поддержка субмодуля SFM-4A250», можно рассматривать готовую инфраструктуру «Microprocessor Based System on MicroBlaze», представленную в документе [2] или самостоятельно организовывать структуру для подключения, содержащую в себе AXI4 коммутатор или группу коммутаторов.

Поток данных от АЦП в формате DDR LVDS поступает в IP-ядро «ADC контроллер» (IP-Core «ADC Controller», см. документ [3]) для выравнивания временных задержек на физических цепях, кроме того, в состав «ADC контроллер» входит блок управления АЦП по интерфейсу SPI. С выхода «ADC контроллер» данные в формате AXI4-Stream с частотой «ADC\_Clk» поступают на вход IP-ядра «AXI4-Stream Data Width Converter» для увеличения разрядности с 2 до 16 байт с целью дальнейшего понижения частоты работы тракта до коммутатора AXI4 с 250 МГц

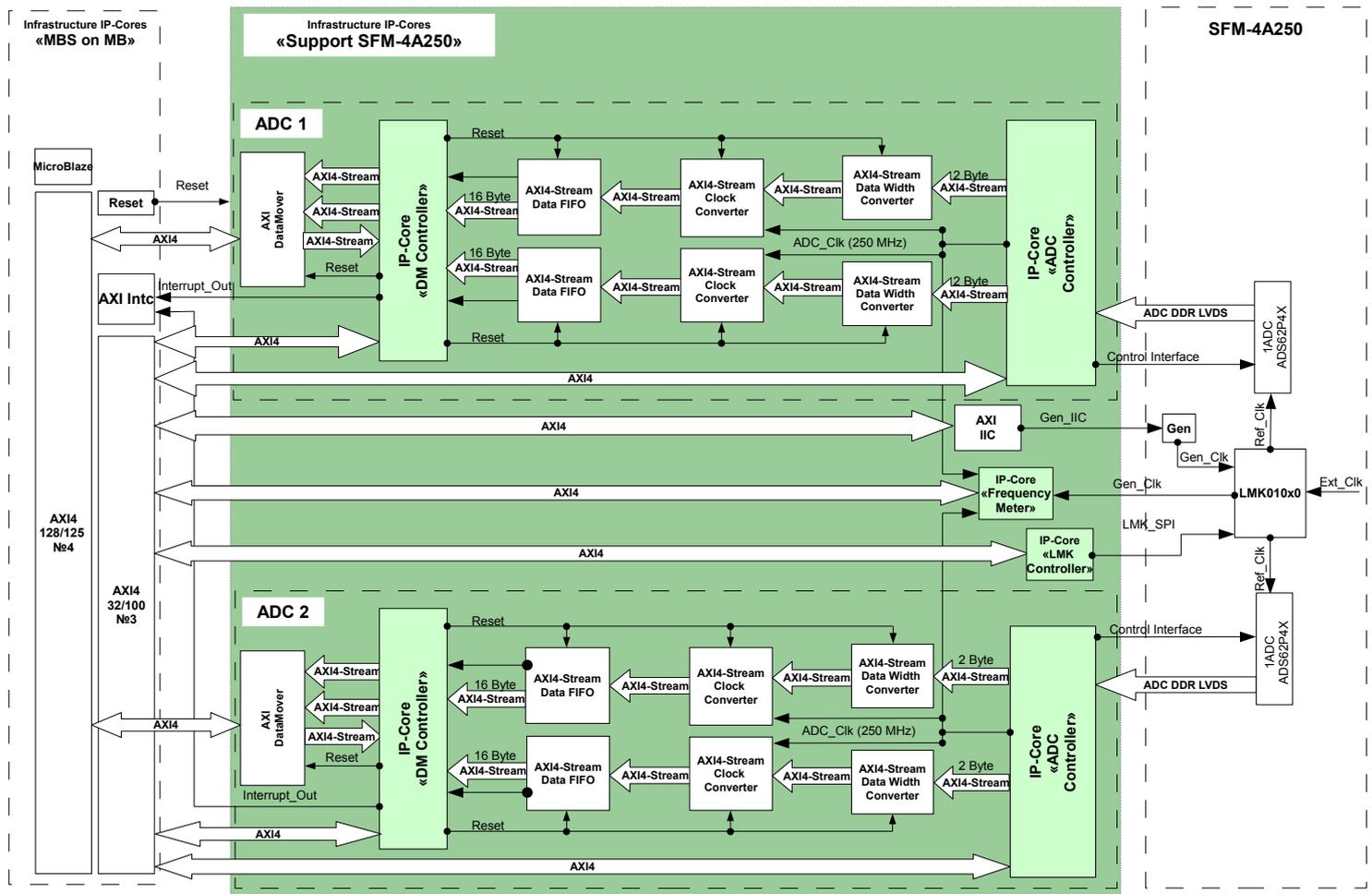
до 125 МГц при помощи IP-ядра «AXI4-Stream Clock Converter», а также выравнивания по разрядности до ширины AXI4 равной 128 бит, т. е. 16 байт. Выровненные по ширине и скорости данные поступают на вход буфера IP-ядра «AXI4-Stream Data FIFO», основное назначение которого — компенсация времени реакции вышестоящей системы по управлению IP-ядром «DM контроллер» (IP-Core «DM Controller», см. документ [4]) для исключения возможности потери данных.

IP-ядро «DM контроллер» по командам вышестоящей системы управляет работой IP-ядра «AXI DataMover», а также переключает AXI4-Stream потоки данных от 1-го или 2-го буферов FIFO. Дополнительно «DM контроллер» отслеживает состояние буферов FIFO, предоставляя пользователю информацию о потерях данных — проскальзываниях, в случае возникновения которых происходит сброс всей цепочки AXI4-Stream для продолжения корректной работы.

IP-ядро «AXI DataMover» осуществляет конвертацию данных из формата AXI4-Stream в формат AXI4 Memory Mapped и подключается в режиме Master к AXI4 коммутатору для записи потоков данных от АЦП в Slave устройства.

IP-ядра «AXI IIC», «LMK контроллер» (IP-Core «LMK Controller», см. документ [5]) и «Частотомер» (IP-Core «Frequency Meter», см. документ [6]) служат для управления распределителем частот, а также контроля их значений посредством измерения.

## Функциональная блок-схема



## Основные особенности

Инфраструктура IP-ядер «Поддержка субмодуля SFM-4A250» входит в состав предварительно подготовленных аппаратных платформ для ряда FPGA модулей или может использоваться самостоятельно в составе аппаратных платформ пользователя. Примером предварительно подготовленной аппаратной платформы может выступить «Аппаратная платформа для FPGA модулей „Core-1“» (см. документ [7]).

Инфраструктура IP-ядер «Поддержка субмодуля SFM-4A250» позволяет пользователю максимально быстро адаптировать свои блоки цифровой обработки сигналов, с целью совместной их работы с АЦП модуля SFM-4A250, а также обеспечить гибкость реконфигурации структуры аппаратной платформы, при изменении требований к классу производительности/ресурсам используемой FPGA микросхемы. Такая адаптация и гибкость обеспечивается за счёт следующих особенностей:

- для передачи цифровых потоков данных между блоками их обработки используется только AXI4-Stream интерфейсы в минимальной конфигурации;
- максимальная параметризация всех IP-ядер инфраструктуры с целью уменьшения используемых ресурсов FPGA микросхемы;
- все необходимые настройки проекта реализации инфраструктуры (физические выводы FPGA и временные констрейны) предварительно подготовлены с учетом специфики исполнения отдельных FPGA модулей и модуля SFM-4A250;
- инфраструктура спроектирована с учетом обеспечения максимальной производительности, которую можно получить при использовании коммутаторов AXI4;
- инфраструктура, построенная на базе IP-ядер с интерфейсами AXI4-Stream, включает в себя все необходимые элементы для стандартных преобразований цифровых потоков данных, библиотека которых постоянно наращивается компаниями Xilinx и разработчиками ЗАО «Скан Инжиниринг Телеком».

Таблица 1: Производительность инфраструктуры IP-ядер «Поддержка субмодуля SFM-4A250» (при передаче потоков данных, без потери данных, от каналов АЦП через AXI4 интерфейс)

Кол-во каналов АЦП по 250 МГц	Min кол-во BURST (в тактах) для AXI4 (128 бит/127 МГц Max:16,25 Гбит/с)	Суммарная скорость потоков данных
1	2	4 Гбит/с
2	4	8 Гбит/с
3	16	12 Гбит/с
4	128	16 Гбит/с

Таблица 2: Требуемые ресурсы для инфраструктуры IP-ядер «Поддержка субмодуля SFM-4A250» (при размере FIFO буферов в 16 Кбайт)

Семейство FPGA Xilinx	Slices	Registers	LUTs	Block RAM
Virtex-6	4000	11750	8600	31
Virtex-7	3740	11800	9200	31

## Ограничения

Пересылка данных в Slave устройство AXI4 Memory Mapped возможно только размером BURST, кратным ширине шины AXI4.

## Лицензирование и информация для заказа

По вопросам приобретения и использования инфраструктуры IP-ядер «Поддержка субмодуля SFM-4A250» обращайтесь в отдел продаж компании ЗАО «Скан Инжиниринг Телеком» по адресу [sales@setdsp.ru](mailto:sales@setdsp.ru).

## Ссылки

1. Инфраструктура IP-ядер «Поддержка субмодуля SFM-4A250». Руководство пользователя. [UG-IP-IS-SFM-4A250](#) .
2. Инфраструктура IP-ядер «Микропроцессорная система на MicroBlaze». Техническое описание. [DS-IP-IS-MBS](#) .
3. IP-ядро «ADC контроллер». Техническое описание. [DS-IP-ADC-CONT](#) .
4. IP-ядро «DM контроллер». Техническое описание. [DS-IP-DM-CONT](#) .
5. IP-ядро «LMK контроллер». Техническое описание. [DS-IP-LMK-CONT](#) .
6. IP-ядро «Частотомер». Техническое описание. [DS-IP-FREQ-MET](#) .
7. Аппаратная платформа для FPGA модулей Core-1. Руководство пользователя. [UG-FPGA-00-CORE-1](#) .

## Контактная информация



ЗАО «Скан Инжиниринг Телеком», Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

### Электронная почта:

Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)  
Техническая поддержка: [support@setdsp.ru](mailto:support@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2015  
Документ DS-IP-IS-SFM-4A250 1.0 (27 мая 2015 г.) создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2015