

# SVP-719

Модуль цифровой обработки данных на базе FPGA  
Xilinx Virtex-7 с поддержкой 2-х FMC  
форм-фактора VPX 6U



## Основные особенности

- Высокопроизводительная FPGA Xilinx Virtex-7 в корпусе FFG1761 с поддержкой кристаллов из ряда XC7VX330/485/690T
- Память FPGA — два 16-и разрядных банка DDR3 SDRAM до 512 Мбайт каждый в исполнении с FPGA XC7VX690T
- Модуль форм-фактора VPX 3U, соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение), ANSI/VITA 46.3-2012, ANSI/VITA 46.4-2012, ANSI/VITA 46.6-2013, ANSI/VITA 57.1-2010 и ANSI/VITA 65-2010 (R2012)
- Установка двух submodule FMC в соответствии со стандартом ANSI/VITA 57.1-2010 с реализацией интерфейса LVDS HPC, поддержка MGT на FMC не предусмотрена
- Поддержка широкого спектра системных интерфейсов: PCI Express / Serial RapidIO / XAUI, Gigabit Ethernet (отдельно приобретаемые IP-ядра)
- Поддержка интерфейсов межплатного кольцевого соединения в крейте: Aurora x8 10 Гбит/с к соседним модулям через линии EP разъёма VPX P2
- Два 16-ти разрядных буферизованных цифровых порта
- Исполнение с воздушным охлаждением

## Обзор модуля

### Особенности

Модуль SVP-719 форм-фактора VPX 6U разработан на базе FPGA высокопроизводительной серии Xilinx Virtex-7 и сочетает в себе значительные возможности по цифровой обработке сигналов и гибкую организацию интерфейсов. Поддержка установок двух submodule FMC стандарта ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard позволяет оптимально организовать многоканальный ввод/вывод необходимых пользователю сигналов, включая широкополосные аналоговые с частотами дискретизации свыше 1 ГГц.

### Производительность

Модуль SVP-719 открывает новые возможности для приложений, требующих предельно высокую производительность цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки, кодирования/декодирования, работы с пакетами и т. д. Пиковая производительность обработки на целочисленных операциях умножить-аккумулировать достигает 2000 млрд./с (операнды 25 × 18 бит, аккумулятор 48 бит).

Модулем поддерживается широкий ряд интерфейсных стандартов VPX: PCIe вплоть до 3.0 (за искл. VX485T), SRIO, XAUI и Gigabit Ethernet, которые, в зависимости от типа коммутаторов и объединительных плат, могут сочетаться между собой в различных комбинациях (реализация интерфейсов осуществляется с помощью IP-ядер, приобретаемых дополнительно).

Модуль поддерживает межплатное кольцевое соединение в составе крейта через линии EP[15:0] разъёма VPX P2 с реализацией протокола Xilinx Aurora с суммарной скоростью обмена с соседними модулями до 160 Гбит/с.

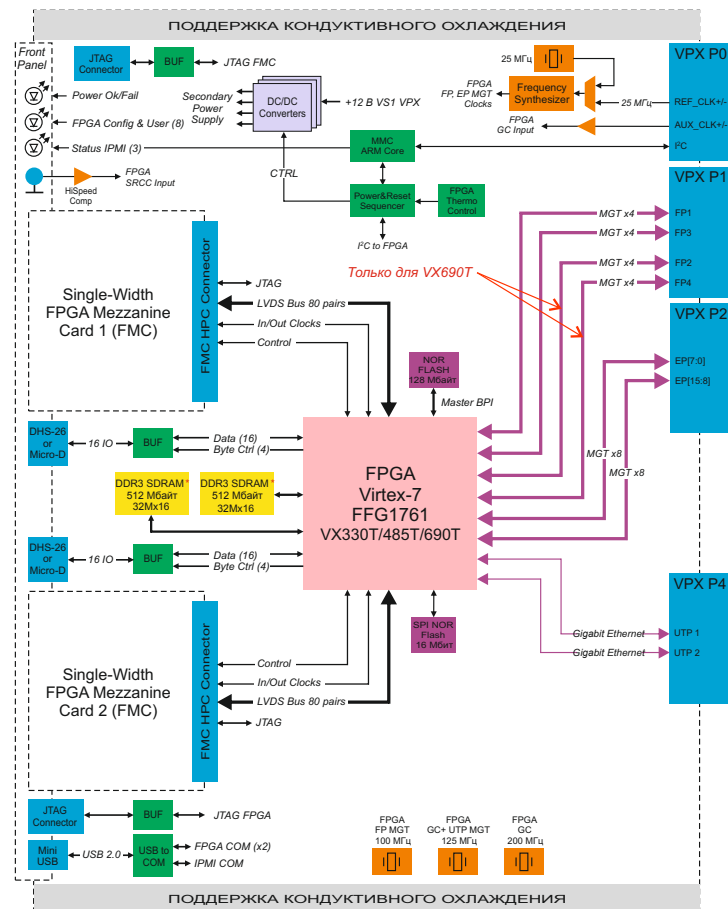
Пропускная способность интерфейса FPGA модуля с каждым submodule FMC достигает 80 Гбит/с через шины LVDS, при этом поддержка обмена с FMC через MGT не предусмотрена. Обеспечена поддержка широкой номенклатуры стандартизованных submodule FMC производства ЗАО «Скан Инжиниринг Телеком» и сторонних производителей.

### Области применения

Поддержка модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д., значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

Модуль SVP-719 предназначен для приложений, требующих предельно высокую производительность цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки, кодирования/декодирования, работы с пакетами и т. д. Так, пиковая производительность обработки FPGA модуля на целочисленных операциях умножить-аккумулировать достигает 2000 млрд./с.

## Функциональная блок-схема



## Технические характеристики

### FPGA

Особенности FPGA Xilinx Virtex-7 в корпусе FFG1761 из ряда XC7VX330/485/690T:

- свыше 108 тыс. ячеек Virtex-7;
- до 3600 блоков Virtex-7 DSSP48E;
- до 1470 блоков RAM Xilinx BlockRAM по 36 кбит;
- до 20 блоков тактирования CMT Xilinx.

Два IP-ядра PCI Express 1.0/2.0/3.0 x1/x2/x4 — XC7VX330T

Три IP-ядра PCI Express 1.0/2.0/3.0 x1/x2/x4 — XC7VX690T

Четыре IP-ядра PCI Express 1.0/2.0 x1/x2/x4 — XC7VX485T

### Память FPGA

Два независимых 16-ти разрядных банка памяти DDR3-800 SDRAM объёмом до 512 Мбайт (256М × 16) и быстродействием DDR3-800 (Память DDR3 SDRAM доступна только при установке FPGA XC7VX690T)

Пользовательская память SPI NOR Flash 16 Мбит

Конфигурационная память 2 Мбайт NOR Flash, объёмом 128 Мбайт со скоростью загрузки данных в FPGA до 160 Мбайт/с и поддержкой хранения до 4-х файлов конфигурации

### Тактирование

Опорные кварцевые генераторы:

- 100 МГц (MGT интерфейсов FP1–FP4 VPX);
- 125 МГц (MGT интерфейсов Gigabit Ethernet + глобальный такт FPGA);
- 200 МГц (глобальный такт FPGA).

Синтезатор частоты тактирования MGT интерфейсов FP1–FP4 на разъём VPX P1, и EP на разъём VPX P2, с возможностью синхронизации сигналом REF\_CLK VPX 25 МГц

Приём сигнала AUX\_CLK vpx на FPGA

Оptionальный вход внешней синхронизации через разъём SSMC передней панели (DC-coupled, 50 Ом, порог +1,65 В)

### Разъёмы VPX

Разъём P0:

- сигналы тактирования REF\_CLK;
- сигналы тактирования AUX\_CLK;
- сигналы I<sup>2</sup>C.

Разъём P1:

- порты FatPipe1–4 могут быть сконфигурированы одним из следующих вариантов:  
(Порты FP2, FP4 на разъёме VPX P1 доступны только при установке FPGA XC7VX690T)
  - до четырех каналов PCI Express 1.0/2.0/3.0 x4 (аппаратные IP-ядра PCI Express 3.0 Xilinx, только для VC7VX330/690T);
  - Serial RapidIO x4 до 3,125 Гбит/с (программное IP-ядро Xilinx, приобретается отдельно);
  - XAUI.

Разъём P2:

- интерфейс межплатного кольцевого объединения Aurora x8 к соседним модулям через линии EP[15:0], до 10 Гбит/с в линии.

Разъём P4:

- Два канала Gigabit Ethernet через порты Ultra-TP1, 2 (IP-ядро Gigabit Ethernet приобретается отдельно).

### Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.3-2012 Serial RapidIO on VPX Fabric Connector

ANSI/VITA 46.4-2012 PCI Express on the VPX Fabric Connector

ANSI/VITA 46.6-2013 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 65-2010 (R2012) OpenVPX System Standard

### Разъёмы FMC

Поддержка установки двух submodule FMC одиночной ширины (Single Width) в конструктиве с воздушным охлаждением с задействованием областей 1–3

Стыковочная высота FMC 10 мм

Интерфейс каждого submodule FMC HPC:

- 80 пар LVDS, пропускная способность до 80 Гбит/с;
- подключение первичных и вторичных сигналов \*\_CC ко входам CC FPGA;
- поддержка четырех линий глобального тактирования LVDS.

Поддержка JTAG 3,3 В с автоматической коммутацией канала

Поддержка сигналов I<sup>2</sup>C (IPMI FMC), PRSNT, PowerGood

Соответствие стандарту ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard по требованиям к питающим напряжениям и токам нагрузки submodule FMC

Уровень напряжения по линиям VADJ/VIO\_B\_M2C +1,8 В

### Внешние и отладочные интерфейсы

Два COM-порта FPGA с реализацией через интерфейс USB 2.0 на передней панели

Буферизованный JTAG IEEE 1149.1 FPGA на передней панели

Внутренний буферизованный порт JTAG IEEE 1149.1 для FMC

Два буферизованных 16-ти разрядных цифровых порта передней панели с побайтным управлением

### Системные функции

Поддержка географической адресации (GA0–GA4)

Обработка сигнала системного сброса VPX SYSRESET#

Встроенный контроль напряжений и тока потребления

Встроенный температурный контроль

### Энергопотребление

Потребляемая мощность модуля обработки данных не более 100 Вт (с двумя установленными submodule FMC)

Распределение потребляемой мощности по линии питания: +12 В (VS1): до 4 А (70 Вт) (без учета FMC)

### Условия эксплуатации

Охлаждение: воздушное

Диапазон рабочих температур: коммерческий (0...+50 °C) или промышленный (–40...+85 °C)

Температура хранения: –50...+85 °C

Влажность: до 85 % без влагозащитного покрытия, до 98 % с покрытием

Возможность нанесения влагозащитного покрытия для жёстких условий

### Размеры

Форм-фактор: VPX 6U в слот 1"

Размеры: 160 × 233 × 25,06 мм



## Информация для заказа

Модуль с поддержкой двух субмодулей FMC HPC, двумя буферизованными 16-ти разрядными портами на внутренних разъёмах EHF с защёлками и передней планкой VPX 1" с вырезом под стандартную планку FMC. Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно.

Возможна поставка модуля в другом температурном диапазоне по согласованию.



### I Основная FPGA Xilinx

Virtex-7

**FM330T1:** XC7VX330T-1

**FM330T2:** XC7VX330T-2

**FM485T1:** XC7VX485T-1

**FM485T2:** XC7VX485T-2

**FM690T1:** XC7VX690T-1

**FM690T2:** XC7VX690T-2

### II Объём установленной памяти FPGA

Опция RFM2x32Mx16/800 доступна при выборе опции FM690T1 и FM690T2.

**RFM2x16Mx16/800:** 512 Мбайт в двух 16-ти разрядных банках

**RFM2x32Mx16/800:** 1 Гбайт в двух 16-ти разрядных банках

### III Передняя панель

**FP2:** Установлена стандартная передняя панель FMC

**FPN:** Заказная передняя панель, тип устанавливаемого субмодуля оговаривается при заказе дополнительно

### IV Вывод буферизованных цифровых портов

**BO:** Вывод цифровых портов на переднюю панель не производится

**BIO2:** Установлен буфер и разъём цифрового порта (LPC, HPC)

**BDHS0:** Разъёмы DHS (DHS-26M), 26 выводов, винт

**BMD:** Разъёмы Micro-D (Molex 83614-9016), 25 выводов, винт

### V Установка входа внешней синхронизации через разъём SSMC передней панели

**TR0:** Вход внешней синхронизации отсутствует

**TR1:** Вход внешней синхронизации предустановлен

### VI Исполнение (температурный диапазон)

**T0:** Коммерческое (0...+50 °C)

**T1:** Индустриальное (-40...+85 °C)

### VII Покрытие

**CV0:** Без влагозащитного покрытия

**CV1:** С влагозащитным покрытием

### VIII Охлаждение

**CL0:** Воздушное

**CL1:** Кондуктивное

Пример кода изделия: **SVP-719-FM690T2-RFM2x16Mx16/800-FP2-BDHS0-TR0-T1-CV1-CL1**

**SVP-719** — Модуль цифровой обработки данных на базе FPGA Xilinx Virtex-7 с поддержкой 2-х FMC форм-фактора VPX 6U

Основная FPGA Xilinx: XC7VX690T-2

Объём установленной памяти FPGA: 512 Мбайт в двух 16-ти разрядных банках

Передняя панель: Установлена стандартная передняя панель FMC

Вывод буферизованных цифровых портов: Разъёмы DHS (DHS-26M), 26 выводов, винт

Установка входа внешней синхронизации через разъём SSMC передней панели: Вход внешней синхронизации отсутствует

Исполнение (температурный диапазон): Индустриальное (-40...+85 °C)

Покрытие: С влагозащитным покрытием

Охлаждение: Кондуктивное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

## Контактная информация



ЗАО «Скан Инжиниринг Телеком»  
Россия, 394030, г. Воронеж, ул. Свободы, 75  
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

Электронная почта:  
Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)

ООО «Скан Инжиниринг Телеком - СПб»  
Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.  
Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96  
[www.setdsp.ru](http://www.setdsp.ru)

Электронная почта:  
Отдел продаж: [sales.spb@setdsp.ru](mailto:sales.spb@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018  
Документ DS-SVP-719 1.0 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018