

# SVP-735

Модуль цифровой обработки данных на базе FPGA  
 Xilinx Kintex UltraScale с поддержкой FMC  
 форм-фактора VPX 3U



## Основные особенности

- Применение высокопроизводительной FPGA Xilinx Kintex UltraScale в корпусе FFVA1517 из ряда XSKU060/085/115 объемом свыше 1 млн. логических ячеек и числом умножителей свыше 5,5 тыс.
- Четыре 16-ти разрядных банка памяти DDR3-1600 общим объемом до 2 Гбайт
- Установка субмодуля FMC в соответствии со стандартом ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard с поддержкой HPC интерфейса, включая 8 дуплексных линий MGT
- Модуль форм-фактора VPX 3U, соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение), ANSI/VITA 46.3-2012, ANSI/VITA 46.4-2012, ANSI/VITA 46.6-2013, ANSI/VITA 48.2-2010, ANSI/VITA 57.1-2010 и ANSI/VITA 65-2010 (R2012)
- Поддержка широкого спектра системных интерфейсов: PCI Express, Serial RapidIO, Xilinx Aurora
- Модуль поддерживает топологию объединительной платы 5 слотов Full Mech согласно стандарту ANSI/VITA 46.0-2013 VPX Base Standard
- Поддержка тыльного модуля ввода/вывода: MGT + LVDS/LVCMOS
- Исполнение с воздушным и кондуктивным охлаждением

## Обзор модуля

### Особенности

Модуль SVP-735 форм-фактора VPX 3U сочетает богатые возможности цифровой обработки сигналов (ЦОС) на базе микросхемы программируемой логики Kintex UltraScale фирмы Xilinx, широкие интерфейсные возможности с применением последовательных высокоскоростных интерфейсов на базе трансиверов MGT Xilinx и значительный объём памяти DDR3 в четырех независимых банках. Поддержка субмодуля FPGA Mezzanine Card HPC стандарта ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard позволяет гибко организовать ввод/вывод необходимых пользователю сигналов, включая высокоскоростные аналоговые (с использованием субмодулей АЦП/ЦАП), оптические (со скоростями до 10 Гбит/с, до 8-и каналов) и цифровые (буферизованный ТТЛ 48 линий, M-LVDS, RS-422/485).

### Высокая производительность

Пиковая производительность обработки на целочисленных операциях умножить-аккумулировать достигает 3300 млрд./с (для FPGA KU115: 5520 умножителей 27 × 18 бит, аккумулятор 48 бит, 600 МГц), а суммарная производительность обмена с памятью DDR3 превышает 12 Гбайт/с (четыре 16-ти разрядных банка по 512 Мбайт).

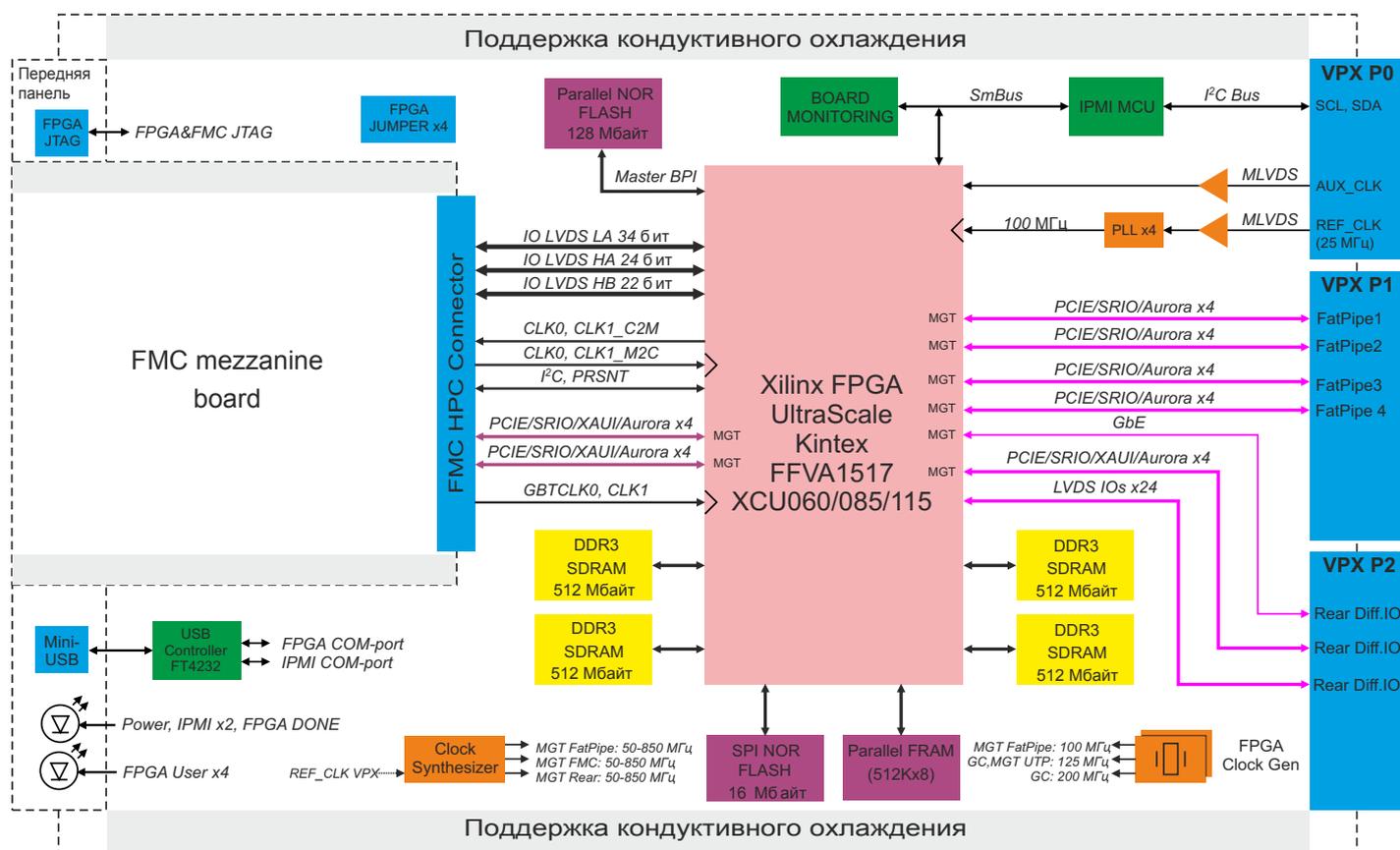
Наряду с высокой производительностью модуль предоставляет широкие возможности в части организации системных интерфейсов: поддерживаются до 4-х каналов Fat Pipe LAN4 PCI Express / Serial RapidIO / Aurora (IP-ядра, за исключением PCI Express), которые в зависимости от используемых коммутаторов и объединительных плат могут сочетаться между собой в различных комбинациях. Кроме того, реализована поддержка модуля тыльного ввода/вывода через разъём P2 VPX посредством четырех пар MGT 10 Гбит/с и 20-ти пар LVDS (с возможностью обмена в КМОП).

Пропускная способность интерфейса модуля с субмодулем FMC достигает 80 Гбит/с через шины LVDS и 80 Гбит/с на приём/передачу через каналы MGT (8 полнодуплексных линий). Ввиду стандартизованного интерфейса FMC обеспечивается поддержка широкого ряда субмодулей FMC как производства ЗАО «Скан Инжиниринг Телеком», так и сторонних производителей.

### Области применения

Модуль SVP-735 предназначен для приложений, требующих предельно высокую производительность цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки, кодирования/декодирования, работы с пакетами и т. д.

## Функциональная блок-схема



## Технические характеристики

### Программируемая логика

FPGA Xilinx Kintex UltraScale/UltraScale+ в корпусе FFVA1517 из ряда:

- XSKU060/085/115; (опции поставки)
- особенности каждой из основных FPGA:
  - свыше 1,1 млн. логических ячеек;
  - 5520 блоков умножения с накоплением;
  - 2160 блоков RAM Xilinx BlockRAM по 36 кбит;
  - 24 узла тактирования CMT (1 × MMCM + 2 × PLL);
  - до 6-и аппаратных ядер PCI Express 3.0 x4.

### Память

Четыре независимых 16-ти разрядных банка памяти DDR3-1600 SDRAM общим объёмом до 2 Гбайт

Пользовательская память SPI NOR Flash объёмом 16 Мбайт

Конфигурационная память 16 бит NOR Flash объёмом 128 Мбайт со следующими характеристиками:

- скорость чтения до 160 Мбайт/с;
- при FPGA XSKU060/085 возможность хранения до 4-х файлов;
- при FPGA XSKU115 возможность хранения до 2-х файлов.

### Тактирование

Опорные кварцевые генераторы со следующими характеристиками:

- 100 МГц (для MGT интерфейсов FP VPX);
- 125 МГц и 200 МГц (глобальное тактирование FPGA).

Синтезатор сетки произвольных частот MGT интерфейсов FP на разъём VPX P1, REAR на разъём VPX P2, MGT FMC с возможностью синхронизации сигналом REF\_CLK VPX 25 МГц

Приём сигнала AUX\_CLK VPX в FPGA модуля

### Отладочные интерфейсы FPGA

Отладочный COM-порт, выведен на переднюю панель посредством интерфейса USB 2.0

Буферизованный JTAG IEEE 1149.1 FPGA на передней панели

### Разъёмы VPX

Разъём P0:

- поддержка I<sup>2</sup>C по линиям SCL, SDA;
- сигналы тактирования REF\_CLK частотой 25 МГц для MGT и FPGA;
- сигналы тактирования AUX\_CLK ко входу GCK FPGA;
- поддержка географической адресации (GA0–GA4);
- обработка сигнала системного сброса SYSRESET#.

Разъём P1:

- реализация FP1–4 по LAN4 (пластины 1–16):
  - до четырех каналов PCI Express 1.0/2.0/3.0 x1/x2/x4 (аппаратные ядра PCIe + MGT, начиная с FPGA XSKU085/115, только 3 ядра в XSKU060);
  - до четырех каналов Serial RapidIO x1/x4 3,125 Гбит/с;
  - до четырех каналов Xilinx Aurora до x4 6,25 Гбит/с (программные IP-ядра Xilinx + MGT).
- (IP-ядра приобретаются отдельно)

Подключение линии REF\_CLK\_SE ко входу тактирования FPGA.

Разъём P2:

- четыре полнодуплексных пары MGT, до 10 Гбит/с в паре, конфигурируемые в проекте FPGA для поддержки интерфейсов:
  - Программные IP-ядра Xilinx в комплект поставки не входят и приобретаются дополнительно
    - Serial RapidIO x1/x4;
    - Aurora до x4;
    - XAUJ x4 (программные IP-ядра + MGT).
  - (IP-ядра приобретаются отдельно)
- 20 двунаправленных пары LVDS с пропускной способностью пары до 1 Гбит/с или 40 линий КМОП 2,5 В до 100 МГц

### Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.3-2012 Serial RapidIO on VPX Fabric Connector

ANSI/VITA 46.4-2012 PCI Express on the VPX Fabric Connector

ANSI/VITA 46.6-2013 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard

ANSI/VITA 65-2010 (R2012) OpenVPX System Standard

### Субмодуль FMC

Поддержка установки мезонинного субмодуля FMC одиночной ширины (Single Width)

Стыковочная высота FMC: 10 мм

Интерфейс субмодуля FMC HPC:

- 80 пар LVDS, общая пропускная способность до 80 Гбит/с;
- 8 дуплексных мультигигабитных пар MGT до 10 Гбит/с, подключенных к FPGA;
- поддержка двух линий глобального тактирования LVDS.

Поддержка JTAG 3,3 В с автоматической коммутацией канала

Поддержка сигналов I<sup>2</sup>C (IPMI FMC), PRSNT, PowerGood

Соответствие стандарту ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard по требованиям к питающим напряжениям и токам нагрузки субмодулей FMC

Уровень напряжения по линиям VADJ/VIO\_B\_M2C +1,8 В

Реализация подключения VREF\_A/B\_M2C к FPGA

### Энергопотребление

Потребляемая мощность модуля обработки данных до 75 Вт (без учета FMC)

Распределение потребляемой мощности по линии питания: +12 В (VS1): до 6,25 А (75 Вт) (при полной нагрузке, без учета FMC)

### Условия эксплуатации

Охлаждение: воздушное или кондуктивное

Диапазон рабочих температур: коммерческий (0...+50 °С) или промышленный (–40...+85 °С)

Температура хранения: –40...+85 °С

Влажность:

- до 85 % без влагозащитного покрытия;
- до 98 % с влагозащитным покрытием. (опция поставки)

Возможность нанесения влагозащитного покрытия для жестких условий

### Размеры

Форм-фактор: VPX 3U в слот 1~

Размеры: 160 × 100 × 25,06 мм

## Информация для заказа

Модуль с поддержкой submodule FMC HPC/LPC, предустановленными четырьмя банками памяти DDR3 SDRAM, объемом до 512 Мбайт каждый и быстродействием не хуже DDR-1600.

Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно. Приобретение логических ядер IP-Core оговаривается отдельно.

Возможна поставка модуля в другом температурном диапазоне по согласованию.



**I** Основная FPGA Xilinx

*Временная группа FPGA -3 недоступна для заказа в промышленном исполнении модуля.*

<b>FMKU060T-1:</b> XSKU060-1	<b>FMKU085T-3:</b> XSKU085-3
<b>FMKU060T-2:</b> XSKU060-2	<b>FMKU115T-1:</b> XSKU115-1
<b>FMKU060T-3:</b> XSKU060-3	<b>FMKU115T-2:</b> XSKU115-2
<b>FMKU085T-1:</b> XSKU085-1	<b>FMKU115T-3:</b> XSKU115-3
<b>FMKU085T-2:</b> XSKU085-2	

**II** Объем установленной памяти FPGA

<b>RFM4x16Mx16:</b> 1 Гбайт в четырех 16-ти разрядных банках
<b>RFM4x32Mx16:</b> 2 Гбайта в четырех 16-ти разрядных банках

**III** Передняя панель

**FP2:** Установлена стандартная передняя панель FMC  
**FPN:** Заказная передняя панель, тип устанавливаемого submodule оговаривается при заказе дополнительно

**IV** Исполнение (температурный диапазон)

**T0:** Коммерческое (0...+50 °C)  
**T1:** Промышленное (-40...+85 °C)

**V** Покрытие

**CV0:** Без влагозащитного покрытия  
**CV1:** С влагозащитным покрытием

**VI** Охлаждение

*Производительность воздушного охлаждения не менее 25 м<sup>3</sup>/час.*  
**CL0:** Воздушное  
**CL1:** Кондуктивное

Пример кода изделия: **SVP-735-FMKU115T-3-RFM4x32Mx16-FP2-T1-CV1-CL1**

**SVP-735** — Модуль цифровой обработки данных на базе FPGA Xilinx Kintex UltraScale с поддержкой FMC форм-фактора VPX 3U  
**Основная FPGA Xilinx:** XSKU115-3  
**Объем установленной памяти FPGA:** 2 Гбайта в четырех 16-ти разрядных банках  
**Передняя панель:** Установлена стандартная передняя панель FMC  
**Исполнение (температурный диапазон):** Промышленное (-40...+85 °C)  
**Покрытие:** С влагозащитным покрытием  
**Охлаждение:** Кондуктивное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

## Контактная информация



ЗАО «Скан Инжиниринг Телеком»  
 Россия, 394030, г. Воронеж, ул. Свободы, 75  
 Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99  
[www.setdsp.ru](http://www.setdsp.ru)

**Электронная почта:**  
 Отдел продаж: [sales@setdsp.ru](mailto:sales@setdsp.ru)

ООО «Скан Инжиниринг Телеком - СПб»  
 Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.  
 Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96  
[www.setdsp.ru](http://www.setdsp.ru)

**Электронная почта:**  
 Отдел продаж: [sales.spb@setdsp.ru](mailto:sales.spb@setdsp.ru)

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018  
 Документ DS-SVP-735 1.0 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018