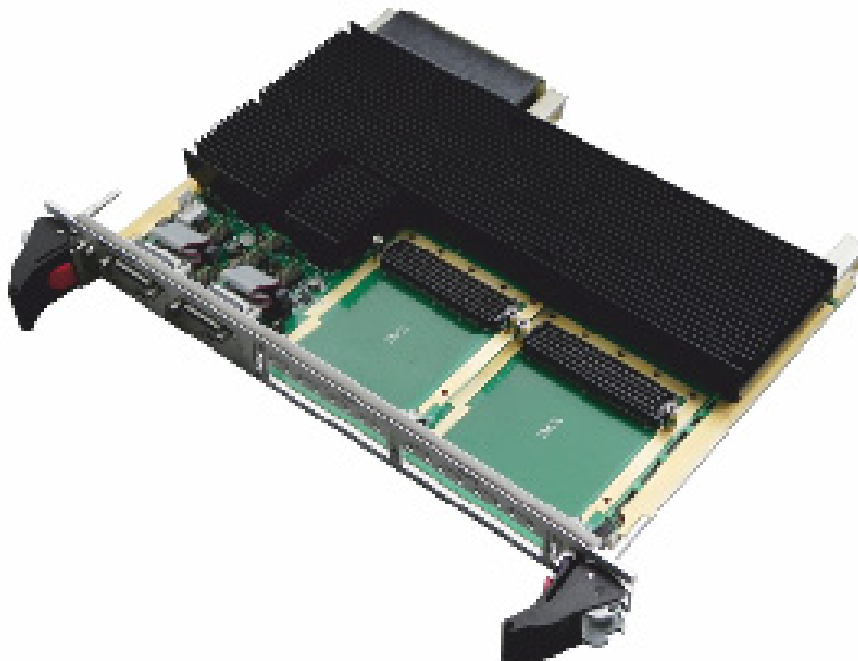


SVP-736

Модуль цифровой обработки данных на базе FPGA с 2-мя основными FPGA Xilinx Kintex UltraScale/UltraScale+ и поддержкой двух FMC HPC форм-фактора VPX 3.6U



Основные особенности

- Широкий ряд устанавливаемых FPGA Xilinx серии Kintex UltraScale/UltraScale+ объемом от 444 тыс. (XCKU035) до 1176 тыс. (XCKU095) логических ячеек
- По четыре независимых 16-ти разрядных банка памяти DDR4-2400 общим объемом 2 Гбайт на каждой основной FPGA
- Поддержка профиля VPX: MOD3-PAY-2F2U-16.2.3-3
- Установка submodule FMC в соответствии со стандартом ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard с поддержкой HPC интерфейса, включая 8 дуплексных линий MGT
- Модуль форм-фактора VPX 3.6U, предназначенный для работы с объединительными платами VPX 3U и соответствующий стандартам: ANSI/VITA 46.0-2013 (воздушное охлаждение), ANSI/VITA 46.4-2012, ANSI/VITA 46.6-2013, ANSI/VITA 57.1-2010 и ANSI/VITA 65-2010 (R2012)
- Поддержка системных интерфейсов: 2 × PCI Express 3.0 x4 (DP01, DP02) и 2 × Gigabit Ethernet 1000BASE-BX (UTP1, UTP2)
- 8 × MGT линий и 2 × Gigabit Ethernet на разъеме VPX P2
- Передняя панель, конфигурируемая под необходимые конкретному пользователю коммуникационные интерфейсы (Digital I/O, RS-232/-422/-485, Gigabit Ethernet, Clock In и прочие)
- Варианты исполнения: с воздушным или кондуктивным охлаждением

Обзор модуля

Особенности

Модуль SVP-736 разработан на базе новейшей высокопроизводительной серии FPGA Xilinx Kintex UltraScale/UltraScale+ и сочетает в себе широкий набор системных интерфейсов объединительных плат форм-фактора VPX 3U с преимуществами расширенных интерфейсных возможностей плат форм-фактора VPX 6U, как посредством передней панели, так и модулей тыльного расширения.

На модуле SVP-736 установлены две основные FPGA из широкого ряда: XCKU035/040/060/095/15P, что позволяет гибко подобрать оптимальную по стоимости и возможностям конфигурацию в части интерфейсов и поддерживаемой памяти, при этом полноценная поддержка двух submodule стандарта FMC HPC ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard реализована для всего ряда FPGA.

Производительность

Пиковая производительность модуля SVP-736 на целочисленных операциях умножить-аккумулировать 27×18 бит достигает 4 ТМАС/с, что открывает широкие возможности для приложений, требующих предельно высокой производительности цифровой обработки данных в реальном времени: фильтрации, спектральных преобразований, корреляционной обработки сигналов.

Производительность интерфейса обмена каждой основной FPGA с внешней памятью DDR4 превышает 150 Гбит/с, что обеспечивает хорошие возможности для высокоскоростной буферизации данных, как submodule FMC, так и промежуточных результатов цифровой обработки.

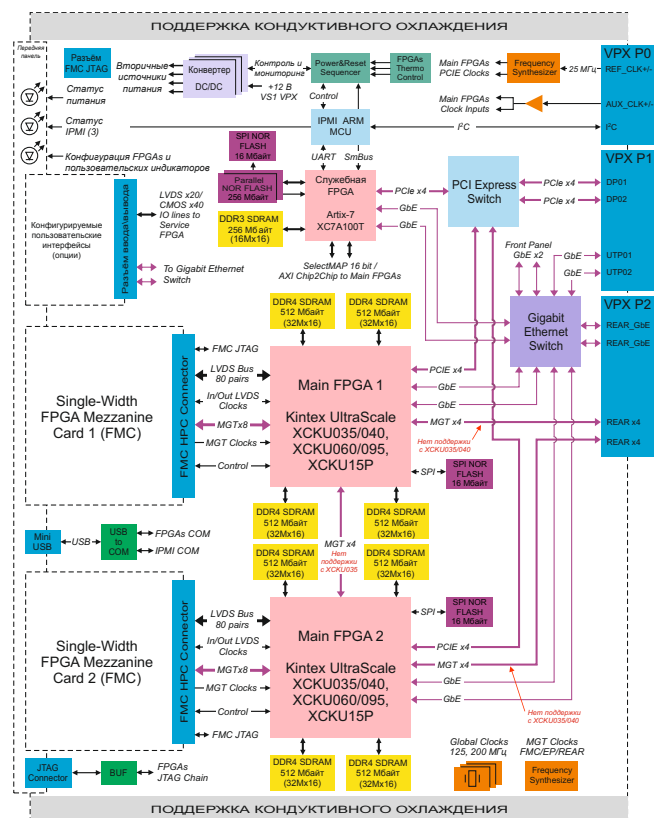
Через разъём VPX P2 предусмотрено подключение модулей тыльного расширения форм-фактора 6U с последовательными мультигигабитными интерфейсами (MGT) шириной до четырех пар для каждой FPGA и поддерживаемыми стандартами: Serial RapidIO, PCI Express, XAUI, Xilinx Aurora. Номенклатура тыльных модулей расширения может варьироваться от процессоров цифровой обработки сигналов, например, DSP Texas Instruments (TI) серии С66хх (модуль SVR-420), до восьмиканальных оптических модулей со скоростью до 10 Гбит/с и прочими заказными.

Посредством дополнительного мезонина на модуле предусмотрена возможность предустановки коммуникационных интерфейсов, необходимых Заказчику, таких как: буферизованный цифровой ввод/вывод, последовательные интерфейсы RS-232/422/485, Gigabit Ethernet с поддержкой медных и оптических линий, синхронизации/тактирования через коаксиальные разъёмы передней панели (см. раздел «Информация для заказа»).

Области применения

Реализуемые модулем системные интерфейсы VPX: PCIe LAN4 (два канала) и Gigabit Ethernet (два канала) наряду с поддержкой модулем ряда системных функций OpenVPX: тактирование и синхронизация через объединительную плату, географическая адресация и т. д. значительно облегчает интеграцию модуля во вновь создаваемые и существующие системы VPX для телекоммуникационных, промышленных и военных применений.

Функциональная блок-схема



Технические характеристики

Программируемая логика

Две основные FPGA Xilinx Kintex UltraScale/UltraScale+ из ряда:

- XCKU035/040/060/095/15P; (опции поставки)
- особенности каждой из основных FPGA:
 - до 1,176 млн. логических ячеек (XCKU095);
 - до 2760 блоков DSP48E (XCKU060);
 - до 1680 блоков RAM Xilinx BlockRAM по 36 кбит (XCKU095);
 - до 16 узлов тактирования 2 × PLL + MMCM Xilinx (XCKU095);
 - до 4-х аппаратных ядер PCI Express 1.0/2.0/3.0 x1/x2/x4 (XCKU095).

Сервисная FPGA Xilinx Artix-7 XC7A100T:

- 101,4 тыс. логических ячеек;
- 135 блоков RAM Xilinx BlockRAM по 36 кбит;
- аппаратное ядро PCI Express 1.0/2.0 x1.

Межкристалльный обмен основных FPGA:

- 4 дуплексные пары MGT до 16,3 Гбит/с каждая (нет поддержки с FPGA XCKU035);
- 8 линий управления и арбитража LVCMOS (на функциональной блок-схеме не показаны).

Межкристалльный обмен между сервисной и основной FPGA:

- конфигурационный SelectMAP 16 бит 100 МГц;
- AXI Chip2Chip Xilinx 250 МГц (совмещен с SelectMAP).

Память

Четыре 16-ти разрядных банка памяти DDR4-2400 SDRAM объемом по 512 Мбайт на каждой основной FPGA

16-ти разрядный банк памяти DDR3-1033 SDRAM объемом 256 Мбайт на сервисной FPGA

Два банка памяти NOR Flash объемом по 256 Мбайт для хранения конфигурационных файлов основных FPGA

Память SPI NOR Flash 16 Мбайт на каждой основной FPGA

Память SPI NOR Flash 16 Мбайт на сервисной FPGA

Тактирование

Опорные кварцевые генераторы FPGA 125 МГц/200 МГц

Синтезатор сетки произвольных частот MGT FPGA

ФАПЧ умножения сигнала VPX REF_CLK 25 МГц для PCIe

Внешние и отладочные интерфейсы

COM-порты для каждой FPGA с единым USB 2.0 на передней панели

Буферизованный JTAG IEEE 1149.1 FPGA на передней панели

Внутренний буферизованный порт JTAG IEEE 1149.1 для FMC

Разъёмы VPX

Разъём P0:

- поддержка I²C;
- сигналы тактирования REF_CLK частотой 25 МГц;
- сигналы тактирования AUX_CLK.

Разъём P1:

- 2 × PCI Express 1.0/2.0/3.0 x4 через порты DP01, DP02;
- 2 × Gigabit Ethernet 1000BASE-BX через порты UTP01, 02.

Разъём P2:

- 2 × REAR MGT x4 до 10 Гбит/с основных FPGA (нет поддержки с FPGA XCKU035/040);
- 2 × Gigabit Ethernet 1000BASE-BX через порты REAR_GbE.

Соответствие стандартам

ANSI/VITA 46.0-2013 VPX Base Standard

ANSI/VITA 46.4-2012 PCI Express on the VPX Fabric Connector

ANSI/VITA 46.6-2013 Gigabit Ethernet Control Plane on VPX

ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard

ANSI/VITA 65-2010 (R2012) OpenVPX System Standard

Профиль модуля: MOD3-PAY-2F2U-16.2.3-3

Системные функции

Поддержка географической адресации (GA0–GA4)

Обработка сигнала системного сброса VPX SYSRESET#

Встроенный контроль напряжений и тока потребления

Встроенный температурный контроль

Субмодули FMC

Поддержка установки двух субмодулей FMC одиночной ширины (Single Width)

Стыковочная высота FMC: 10 мм

Интерфейс каждого субмодуля FMC HPC:

- 80 пар LVDS, общая пропускная способность до 80 Гбит/с;
- 8 дуплексных мультигигабитных пар DP0–DP7 10 Гбит/с;
- полный набор линий тактирования.

Поддержка JTAG 3.3 В с автоматической коммутацией канала

Поддержка сигналов I²C (IPMI FMC), PRSNT, PowerGood

Соответствие стандарту ANSI/VITA 57.1-2010 FPGA Mezzanine Card (FMC) Standard по требованиям к питающим напряжениям и токам нагрузки субмодулей FMC

Уровень напряжения по линиям VADJ/VIO_B_M2C +1,8 В

Энергопотребление

Потребляемая мощность модуля обработки данных: от 140 до 170 Вт

Распределение потребляемой мощности по линии питания:

- +12 В (VS1): до 11,5 А (140 Вт) (при полной нагрузке, без учета FMC);
- +12 В (VS1): до 14,1 А (170 Вт) (при полной нагрузке, с двумя FMC субмодулями).

Условия эксплуатации

Охлаждение: воздушное (производительностью не менее 25 м³/час) или кондуктивное

Диапазон рабочих температур: коммерческий (0...+50 °C) или промышленный (–40...+85 °C)

Температура хранения: –40...+85 °C

Влажность:

- до 85 % без покрытия;
- до 98 % с покрытием. (опция поставки)

Возможность нанесения влагозащитного покрытия для жестких условий

Размеры

Форм-фактор: VPX 6U в слот 1"

Размеры: 160 × 233 × 25,06 мм

Информация для заказа

Модуль с поддержкой двух submodule FMC HPC, сервисной FPGA XC7A100T с памятью, предустановленными банками памяти DDR4 основных FPGA. Программное обеспечение поддержки модуля, а также отладочные кабели в комплект поставки не входят, их приобретение оговаривается отдельно. Приобретение логических ядер IP-Core PCIe и Gigabit Ethernet (TEMAC) оговаривается отдельно. Настоятельно рекомендуется перед заказом модуля ознакомиться с их техническим описанием.

Возможна поставка модуля в другом температурном диапазоне по согласованию.



I Основная FPGA Xilinx

Обе предустановленные на плату FPGA одинаковые и семейства Kintex UltraScale/UltraScale+. Временная группа FPGA -3 недоступна для заказа в промышленном исполнении модуля.

FMKU035T-1: ХСКU035-1	FMKU040T-3: ХСКU040-3	FMKU095T-2: ХСКU095-2
FMKU035T-2: ХСКU035-2	FMKU060T-1: ХСКU060-1	FMKU15PT-1: ХСКU15P-1
FMKU035T-3: ХСКU035-3	FMKU060T-2: ХСКU060-2	FMKU15PT-2: ХСКU15P-2
FMKU040T-1: ХСКU040-1	FMKU060T-3: ХСКU060-3	
FMKU040T-2: ХСКU040-2	FMKU095T-1: ХСКU095-1	

II Передняя панель

FP1: Установлена стандартная передняя панель VPX шириной 1"
FPN: Заказная передняя панель, тип устанавливаемого submodule оговаривается при заказе дополнительно

III Вывод буферизованных цифровых портов

B0: Вывод цифровых портов на переднюю панель не производится
BIO3: 2 × Gigabit Ethernet (медь, RJ45), вход SSMC синхронизации всех FPGA модуля (до 200 МГц)
BIO4: 2 × Gigabit Ethernet (модули SFP в комплект поставки не входят), вход SSMC синхронизации FPGA
BIO5: Буферизованный цифровой порт (16 линий, разъем Micro-D, 25 контактов, винт), вход SSMC синхронизации FPGA
BIO6: Четыре полнодуплексных канала RS-485 (разъем Micro-D, 25 контактов, винт), вход SSMC синхронизации FPGA
BIO7: По восемь линий стандарта RS-232 на приём/передачу (разъем Micro-D, 25 контактов, винт), вход SSMC синхронизации FPGA
BION: Заказной набор интерфейсов пользователя, номер N присваивается индивидуально

IV Исполнение (температурный диапазон)

T0: Коммерческое (0...+50 °C)
T1: Промышленное (-40...+85 °C)

V Покрытие

CV0: Без влагозащитного покрытия
CV1: С влагозащитным покрытием

VI Охлаждение

Производительность воздушного охлаждения не менее 25 м³/час.

CL0: Воздушное
CL1: Кондуктивное

Пример кода изделия: **SVP-736-FMKU095T-2-FPN-BION-T1-CV1-CL1**

SVP-736 — Модуль цифровой обработки данных на базе FPGA с 2-я основными FPGA Xilinx Kintex UltraScale/UltraScale+ и поддержкой двух FMC HPC форм-фактора VPX 3.6U

Основная FPGA Xilinx: ХСКU095-2

Передняя панель: Заказная передняя панель, тип устанавливаемого submodule оговаривается при заказе дополнительно

Вывод буферизованных цифровых портов: Заказной набор интерфейсов пользователя, номер N присваивается индивидуально

Исполнение (температурный диапазон): Промышленное (-40...+85 °C)

Покрытие: С влагозащитным покрытием

Охлаждение: Кондуктивное

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

Контактная информация



ЗАО «Скан Инжиниринг Телеком»
Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru

ООО «Скан Инжиниринг Телеком - СПб»
Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.
Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96
www.setdsp.ru

Электронная почта:
Отдел продаж: sales.spb@setdsp.ru