

XDSP-50

Модуль цифровой обработки данных двухканального аналого-цифрового преобразования с поддержкой системного интерфейса PCI 32 бита/33 МГц форм-фактора CompactPCI 3U

CompactPCI®



Основные особенности

- Основная FPGA Xilinx Virtex-6 семейства VLX или VSX в корпусе FF1156
- DSP TMS320C6670 компании Texas Instruments (TI) серии C667x
- Два канала АЦП: 14 бит 250 МГц
- Банк синхронного динамического RAM DDR3 SDRAM на DSP, объемом 512 Мбайт
- Два независимых банка синхронного динамического RAM DDR3 SDRAM на SDRAM, объемом 128 Мбайт (256 Мбайт) каждый
- Модуль форм-фактора CompactPCI 3U шириной 4HP с системным интерфейсом PCI 32 бита/33 МГц, соответствующий стандарту PICMG 2.0 Rev 3.0

Обзор модуля

Особенности

Модуль XDSP-50 форм-фактора CompactPCI 3U разработан на основе высокопроизводительной FPGA Xilinx серии Virtex-6 семейств VLX и VSX в корпусе FF1156 с большим объёмом внешней памяти.

На модуле реализованы два канала аналого-цифрового преобразования с независимыми аналоговыми трактами и общим тактированием. В качестве аналого-цифрового преобразователя использована сдвоенная микросхема 14-ти разрядного АЦП ADS62P49 производства фирмы TI с частотой тактирования 1000, либо 1200 МГц.

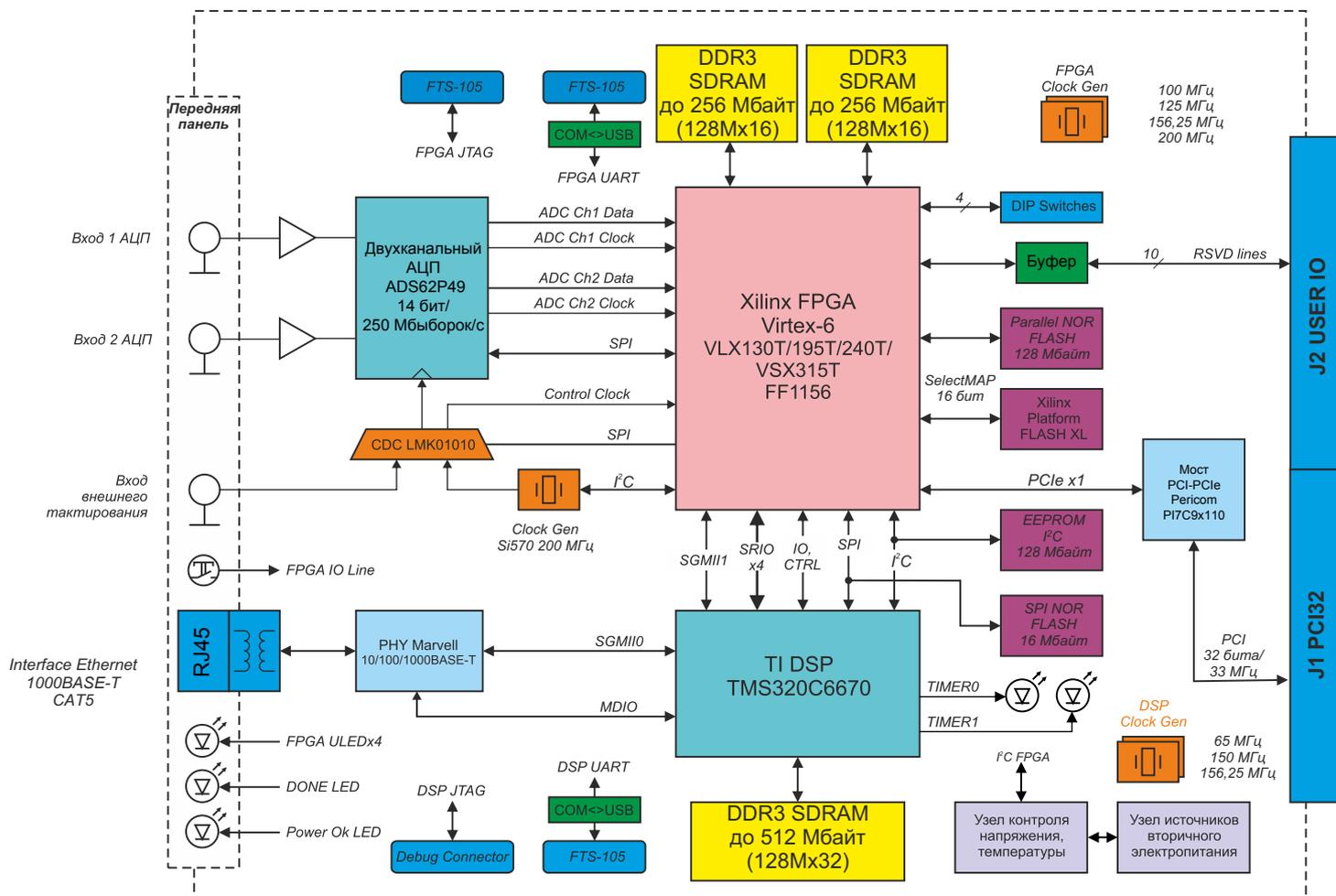
Высокая производительность

Модуль XDSP-50 разработан для приложений, требующих высокую производительность, высокую скорость передачи данных и низкую латентность. Модуль использует максимум возможностей FPGA Xilinx Virtex-6.

Области применения

Модуль-ускоритель обработки данных XDSP-50 предназначен для выполнения двухканального аналого-цифрового преобразования видео- и радиосигналов с частотой дискретизации до 250 МГц с их последующей цифровой обработкой на базе FPGA Xilinx серии Virtex-6. Модуль предоставляет производителю оборудования высокоэффективное решение для широкого диапазона задач: цифровой радиоприём, радиолокация и радиоизмерения.

Функциональная блок-схема



Технические характеристики

DSP

TMS320C6670 Texas Instruments:

- четыре ядра на частоте 1,20 ГГц;
- до 154 млрд. операций в секунду над операндами с фиксированной запятой или до 77 млрд. операций с плавающей запятой;
- кэш-память 32 кбайт L1P, 32 кбайт L1D, 1024 кбайт L2 на каждое ядро;
- 2 Мбайт разделяемой межпроцессорной памяти;
- сетевой сопроцессор с поддержкой алгоритмов аппаратного шифрования ECB, CBCm CTR, F8, A5/3, CCM, GCM, HMAC, CMAC, GMAC, AES, DES, 3DES, Kasumi, SNOW 3G, SHA1/2 (256 бит), MD5 на скоростях до 2,8 Гбит/с для приложений IPsec, SRTP, 3GPP, WiMAX Air и SSL/TLS.

FPGA

Xilinx Virtex-6 FF1156 из ряда:

- XC6VLX130T, XC6VLX195T, XC6VLX240T, XC6VLX365T;
- XC6VX315T.

Особенности FPGA:

- до 56880 ячеек Virtex-6;
- до 1344 блоков Virtex-6;
- до 704 блоков RAM Xilinx BlockRAM по 18 кбит общим объёмом 25344 кбит;
- до 12 блоков управления тактированием Virtex-6 MMCM.

Память

Банк синхронного динамического RAM DDR3 SDRAM на DSP объёмом 256 Мбайт (64 Мбита × 32) или 512 Мбайт (128 Мбит × 32)

Два независимых банка синхронного динамического RAM DDR3 SDRAM на FPGA по 128 или 256 Мбайт (16 × 64 Мбита или 16 × 128 Мбит)

Энергонезависимая память Parallel NOR Flash-память, объёмом 32 (64, 128) Мбайт

Память Platform Flash XL хранения конфигурации FPGA объёмом 16 Мбайт

Энергонезависимая память SPI NOR Flash хранения конфигурации DSP объёмом 16 Мбайт

Энергонезависимая память EEPROM хранения конфигурации DSP объёмом 128 Мбайт

Интерфейсы

Поддержка PCI 3.0 32 бита/33 МГц, Master/Slave, 3.3/5 В

Интерфейс Gigabit Ethernet передней панели

Линии расширения ввода/вывода FPGA на разъёме J2 CompactPCI

Внутренний интерфейс Gigabit Ethernet FPGA-DSP

Внутренний интерфейс SRIO FPGA-DSP

Интерфейс JTAG FPGA

Отладочный интерфейс USB FPGA

Отладочный интерфейс USB DSP

Аналого-цифровое преобразование

Количество каналов: 2

Разрядность: 14 бит

Диапазон частот тактирования 1...250 МГц

Аналоговая полоса тракта (по -3 дБ) 0,02/490 МГц

Номинальный размах сигнала в полной разрядной сетке 2 В (50 Ом), разъём SMA

Динамический диапазон тракта с несущей 250 МГц, при температуре 25 °С, дБ:

- $F_{in} = 10$ МГц — 80 дБ;
- $F_{in} = 70$ МГц — 70 дБ;
- $F_{in} = 140$ МГц — 60 дБ.

Отношение сигнал/шум тракта, с несущей 250 МГц, при температуре 25 °С, дБ:

- $F_{in} = 10$ МГц — 60 дБ;
- $F_{in} = 70$ МГц — 58 дБ;
- $F_{in} = 140$ МГц — 55 дБ.

Возможность программирования коэффициента усиления АЦП, дБ: 0...6 с шагом 0,5

Выход данных: двоичный дополнительный, либо двоичный прямой

Сигнальный стандарт выходных данных АЦП — LVDS

Соответствие стандартам

PICMG 2.0 Rev 3.0 CompactPCI Base Specification

Тактирование

Опорный кварцевый генератор 200 МГц/20 ppm, программируемый в диапазоне 10...250 МГц, шаг 0,1 Гц

Поддержка внешнего тактирования в диапазоне частот 1...250 МГц, разъём SMA при нагрузке 50 Ом

Энергопотребление

Потребляемая мощность интерфейсного модуля не более 33 Вт

Распределение потребляемой мощности по линиям питания:

- +12 В: до 0,09 А (1,1 Вт);
- -12 В: до 0,09 А (1,1 Вт);
- +5 В: до 4 А (20 Вт);
- +3,3 В: до 3 А (10 Вт).

Условия эксплуатации

Охлаждение: воздушное

Диапазон рабочих температур: коммерческий (0...+50 °С) или промышленный (-40...+70 °С)

Температура хранения: -40...+85 °С

Влажность: 10–95 % без конденсата

Размеры

Форм-фактор: CompactPCI 3U

Ширина: 4HP

Размеры Mid-Size: 100 × 160 × 30 мм

Информация для заказа

**I**

Установленный DSP Texas Instruments

DSP6670C100: TMS320C6670 с тактовой частотой 1000 МГц**DSP6670C120:** TMS320C6670 с тактовой частотой 1200 МГц**II**

Основная FPGA Xilinx

FM130T: XC6VLX130T**FM195T:** XC6VLX195T**FM240T:** XC6VLX240T**FM315T:** XC6VSX315T**FM365T:** XC6VLX365T**III**

Объем установленной памяти DSP

RDSP1x8Mx32/1333: 256 Мбайт в одном 32-х разрядном банке памяти DDR3-1333**RDSP1x16Mx32/1333:** 512 Мбайт в одном 32-х разрядном банке памяти DDR3-1333**IV**

Объем установленной памяти FPGA

RFM1x8Mx16/800: 128 Мбайт в одном 16-ти разрядном банке**RFM1x16Mx16/800:** 256 Мбайт в одном 16-ти разрядном банке**V**

Исполнение (температурный диапазон)

T0: Коммерческое (0...+50 °C)**T1:** Индустриальное (-40...+85 °C)**VI**

Покрытие

CV0: Без влагозащитного покрытия**CV1:** С влагозащитным покрытием

Пример кода изделия: **XDSP-50-DSP6670C100-FM130T-RDSP1x8Mx32/1333-RFM1x8Mx16/800-T1-CV1**

XDSP-50 — Модуль цифровой обработки данных двухканального аналого-цифрового преобразования с поддержкой системного интерфейса PCI 32 бита/33 МГц форм-фактора CompactPCI 3U

Установленный DSP Texas Instruments: TMS320C6670 с тактовой частотой 1000 МГц

Основная FPGA Xilinx: XC6VLX130T

Объем установленной памяти DSP: 256 Мбайт в одном 32-х разрядном банке памяти DDR3-1333

Объем установленной памяти FPGA: 128 Мбайт в одном 16-ти разрядном банке

Исполнение (температурный диапазон): Индустриальное (-40...+85 °C)

Покрытие: С влагозащитным покрытием

Возможны другие конфигурации модуля по индивидуальному запросу. За дополнительной информацией обращайтесь в SET.

Контактная информация



ЗАО «Скан Инжиниринг Телеком»
Россия, 394030, г. Воронеж, ул. Свободы, 75
Тел.: +7 (473) 272-71-01, факс.: +7 (473) 251-21-99
www.setdsp.ru

Электронная почта:
Отдел продаж: sales@setdsp.ru

ООО «Скан Инжиниринг Телеком - СПб»
Россия, 199106, г. Санкт-Петербург, 22-я линия В.О., д. 3, корп. 1, лит. М.
Тел.: +7 (812) 406-99-95, +7 (812) 406-99-96
www.setdsp.ru

Электронная почта:
Отдел продаж: sales.spb@setdsp.ru

ЗАО «Скан Инжиниринг Телеком». Все права защищены. © 1991–2018
Документ DS-XDSP-50 1.0 создан в ООО «Скан Инжиниринг Телеком - СПб». Все права защищены. © 2018